

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 1 4 日
Date of Application:

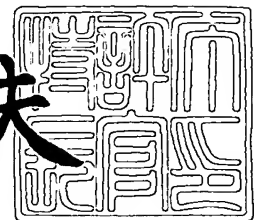
出 願 番 号 特 願 2 0 0 3 - 1 3 5 4 4 9
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 3 5 4 4 9]

出 願 人 沖電気工業株式会社
Applicant(s):

2 0 0 3 年 8 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 3 7 5 5

【書類名】 特許願

【整理番号】 KA003866

【提出日】 平成15年 5月14日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H04L 7/08
H03L 7/00

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 村西 公二

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 位相調整回路

【特許請求の範囲】

【請求項 1】 第 1 のクロック信号を遅延させて遅延時間の異なる複数のクロック信号を出力する遅延部と、

前記遅延部から出力された複数のクロック信号のうちの 1 つを選択信号に従って選択して出力するセレクタと、

第 2 のクロック信号の位相と前記セレクタから出力された前記クロック信号の位相とが予め定められた条件を満たしているか否かを検出する位相差検出部とを

備えたことを特徴とする位相調整回路。

【請求項 2】 前記選択信号は外部入力端子から与えられ、前記位相差検出回路の検出結果は外部出力端子に出力されるように構成したことを特徴とする請求項 1 記載の位相調整回路。

【請求項 3】 前記選択信号は内部のレジスタから与えられ、前記位相差検出回路の検出結果は外部出力端子に出力されるように構成したことを特徴とする請求項 1 記載の位相調整回路。

【請求項 4】 前記位相差検出部は、

前記セレクタから出力された前記クロック信号の立ち上がりに対応して前記第 2 のクロック信号を保持し出力する第 1 の保持回路と、

前記セレクタから出力された前記クロック信号の立ち下がりに対応して前記第 2 のクロック信号を保持し出力する第 2 の保持回路と、

前記第 1 の保持回路の出力と前記第 2 の保持回路の出力とに基づいて演算を行い、演算結果をこの位相差検出部の検出結果として出力する演算回路とを有することを特徴とする請求項 1、2 または 3 記載の位相調整回路。

【請求項 5】 前記位相差検出部は、

前記第 2 のクロック信号の立ち上がりに対応して前記セレクタから出力された前記クロック信号を保持し出力する第 1 の保持回路と、

前記第 2 のクロック信号の立ち下がりに対応して前記セレクタから出力された

前記クロック信号を保持し出力する第 2 の保持回路と、

前記第 1 の保持回路の出力と前記第 2 の保持回路の出力とに基づいて演算を行い、演算結果をこの位相差検出部の検出結果として出力する演算回路とを有することを特徴とする請求項 1、2 または 3 記載の位相調整回路。

【請求項 6】 第 1 のクロック信号を遅延させて遅延時間の異なる複数のクロック信号を出力する遅延部と、

前記遅延部から出力された複数のクロック信号のうちの 1 つを選択信号に従って選択して出力するセレクトと、

第 2 のクロック信号の位相と前記セレクトから出力された前記クロック信号の位相とが予め定められた条件を満たしているか否かを検出する位相差検出部と、

前記位相差検出部の検出結果に基づいて前記選択信号を生成する選択信号生成部とを、

備えたことを特徴とする位相調整回路。

【請求項 7】 前記選択信号生成部は、位相差検出部から前記条件を満たしていない旨の検出結果が出力されたときに、前記選択信号の値を一定の範囲で順次増減させて出力するように構成したことを特徴とする請求項 6 記載の位相調整回路。

【請求項 8】 前記位相検出部は、

前記第 2 のクロック信号の立ち上がりに対応して前記セレクトから出力された前記クロック信号を保持し出力する第 1 の保持回路と、

前記第 2 のクロック信号の立ち下がりに対応して前記セレクトから出力された前記クロック信号を保持し出力する第 2 の保持回路と、

前記第 1 の保持回路の出力と前記第 2 の保持回路の出力とに基づいて演算を行い、演算結果をこの位相差検出部の検出結果として出力する演算回路とを有することを特徴とする請求項 6 または 7 記載の位相調整回路。

【請求項 9】 前記位相差検出部は、

前記セレクトから出力された前記クロック信号の立ち上がりに対応して前記第 2 のクロック信号を保持し出力する第 1 の保持回路と、

前記セレクトから出力された前記クロック信号の立ち下がりに対応して前記第

2 のクロック信号を保持し出力する第 2 の保持回路と、

前記第 1 の保持回路の出力と前記第 2 の保持回路の出力とに基づいて演算を行い、演算結果をこの位相差検出部の検出結果として出力する演算回路とを有することを特徴とする請求項 6 または 7 記載の位相調整回路。

【請求項 10】 第 1 のクロック信号に基づく複数のクロック信号が入力され、選択信号に応答して前記複数のクロック信号のうち 1 つのクロック信号を選択し出力するセレクタと、

第 2 のクロック信号の位相と前記セレクタから出力された前記クロック信号の位相とが所定の条件を満たしているか否かを検出する位相差検出部とを備えたことを特徴とする位相調整回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、外部から与えられる複数のクロック信号間の位相を調整して CPU (中央処理装置) 等に供給するための位相調整回路に関するものである。

【0002】

【従来の技術】

【0003】

【特許文献 1】

特開 2002-339366 号公報

【0004】

前記特許文献 1 に記載された位相調整回路は、データ信号 DATAI とこれに対応するクロック信号 CLKI を入力し、このクロック信号 CLKI の位相を調整してデータ信号 DATAI に対して定まったタイミングのクロック信号 CLKO を生成し、データ信号 DATAO と共に出力するものである。

【0005】

この位相調整回路は、システムクロック 1 によってクロック信号 CLKI の変化を検出する状態変化監視回路 2a と、同じシステムクロック 1 によってデータ信号 DATAI の変化を検出する状態変化監視回路 2b を有している。状態変化

監視回路 2 a の検出信号は、システムクロック 1 を常にカウントするカウンタ 3 に対するリセット信号として与えられている。

【0006】

カウンタ 3 のカウント値は、遅延値保持レジスタ 4 に与えられ、状態変化監視回路 2 b の検出信号が、この遅延値保持レジスタ 4 に対するラッチ指示信号として与えられるようになっている。クロック信号 CLK I は遅延回路 6 にも入力され、複数パターンの遅延信号が生成されてセクタ 7 の入力側に与えられるようになっている。

【0007】

一方、遅延値保持レジスタ 4 に保持されたカウント値は、セレクト値計算回路 5 に与えられ、遅延回路 6 で生成された複数の遅延信号の中から最適のものを選択するためのセレクト信号が計算されて、セクタ 7 に出力される。これにより、セクタ 7 から最適な遅延信号が選択され、クロック信号 CLK O として出力されるようになっている。

【0008】

【発明が解決しようとする課題】

しかしながら、従来の位相調整回路では、次のような課題があった。

即ち、クロック信号 CLK I に基づいて、遅延回路 6 から複数パターンの遅延信号が生成されるが、各遅延信号の実際の遅延時間は、製造プロセスによる遅延素子のばらつきや、動作環境における電圧や温度の変化によって、設計値からずれることがある。一方、セレクト信号は、入力されたクロック信号 CLK I とデータ信号 DATA I の位相差に基づいて、セレクト値計算回路 5 で算出される。このため、実際の遅延信号のタイミングが反映されておらず、セレクト信号によって選択されたクロック信号 CLK O が、必ずしも最適なタイミングにはならないという課題があった。

【0009】

【課題を解決するための手段】

前記課題を解決するために、本発明は、位相調整回路において、第 1 のクロック信号を遅延させて遅延時間の異なる複数のクロック信号を出力する遅延部と、

前記遅延部から出力された複数のクロック信号のうちの1つを選択信号に従って選択して出力するセレクタと、第2のクロック信号と前記セレクタから出力されたクロック信号の位相が予め定められた条件を満たしているか否かを検出する位相差検出部とを備えている。

【0010】

本発明によれば、以上のように位相調整回路を構成したので、次のような作用が行われる。

【0011】

第1のクロック信号は遅延部によって遅延され、遅延時間の異なる複数のクロック信号が生成される。遅延部から出力された複数のクロック信号は、セレクタに与えられ、選択信号に従って1つのクロック信号が選択出力される。セレクタで選択されたクロック信号は位相差検出部に与えられ、第2のクロック信号との位相関係が予め定められた条件を満たしているか否かが検出される。

【0012】

【発明の実施の形態】

（第1の実施形態）

図1は、本発明の第1の実施形態を示す位相調整回路の構成図である。

この位相調整回路は、図示しないクロック信号供給路における伝搬時間の相違により、端子1, 2に入力される2相のクロック信号CK1（第2のクロック信号）、CK2（第1のクロック信号）の位相が所定の条件から外れた場合に、クロック信号CK2の位相を調整して条件に合った2相のクロック信号CK1, CKXをCPU3に与えるためのものである。

【0013】

例えば、CPU3の入力端におけるクロック信号CK1, CKXの条件は、周波数の比が2:1で、かつクロック信号CK1がレベル“H”の期間にクロック信号CKXの立ち上がり及び立ち下がりの変化が検出されなければならないというものである。

【0014】

この位相調整回路は、端子2に入力されるクロック信号CK2を遅延させて、

遅延時間の異なる複数のクロック信号CKa, CKb, ..., CKnを生成する遅延部11を有している。この遅延部11は、例えば、論理ゲート等による複数の遅延素子を直列に接続し、これらの遅延素子の出力側から遅延したクロック信号を取り出すように構成されている。クロック信号CK2と遅延部11で生成されたクロック信号CKa~CKnは、セクタ(SEL)12に与えられるようになっている。

【0015】

セクタ12は、入力されたクロック信号CK2, CKa~CKnの内のいずれか1つを、選択信号SELに従って選択してクロック信号CKXとして出力するものである。選択信号SELは外部端子13から与えられ、セクタ12の出力側は、CPU3と位相差検出部20に接続されている。

【0016】

位相差検出部20は、端子1に入力されるクロック信号CK1と、セクタ12から出力されるクロック信号CKXの位相差を検出して、2つのクロック信号CK1, CKXの位相が予め定められた条件に合っているか否かを判定するものである。

【0017】

位相差検出部20は、クロック信号CKXの立ち上がりでクロック信号CK1を保持するフリップフロップ(以下、「FF」という)21と、このクロック信号CKXの立ち下がりでクロック信号CK1を保持するFF22を有している。FF21, 22の出力側は、演算回路である2入力の否定的論理積ゲート(以下、「NAND」という)23に接続されている。NAND23は、FF21の出力とFF22の出力とに基づいて否定的論理積の演算を行い、その演算結果を位相差検出部20の検出結果として出力するものである。NAND23の出力側は外部端子24に接続され、この外部端子24から位相差検出回路における検出結果として検出信号DETが出力されるようになっている。

【0018】

図2は、図1の動作を示すタイムチャートである。以下、この図2を参照しつつ、図1の動作を説明する。

【0019】

端子1に入力されたクロック信号CK1は、CPU3へ与えられると共に、位相差検出部20のFF21, 22に与えられる。一方、端子2に入力されたクロック信号CK2は、遅延部11に与えられて遅延時間の異なる複数のクロック信号CKa~CKnが生成される。クロック信号CK2, CKa~CKnは、セクタ12に与えられる。

【0020】

また、外部端子13には選択信号SELが与えられ、セクタ12では、この選択信号SELに従ってクロック信号CK2, CKa~CKnの内の1つが選択され、クロック信号CKXとして出力される。

【0021】

例えば、選択信号SELとして値0を与えると、セクタ12ではクロック信号CK2が選択される。これにより、セクタ12からクロック信号CK2と同位相のクロック信号CKXが出力され、CPU3と位相差検出部20のFF21, 22のクロック端子に与えられる。

【0022】

FF21では、クロック信号CKXの立ち上がりでクロック信号CK1が保持され、FF22では、このクロック信号CKXの立ち下がりでクロック信号CK1が保持される。図に示すように、クロック信号CKXの立ち上がり及び立ち下りのタイミングが、クロック信号CK1のレベル“L”の期間であると、FF21, 22の出力信号S21, S22は“L”となる。従って、NAND23から外部端子24に出力される検出信号DETは“H”となり、所定の条件が満たされていないことが示される。

【0023】

次に、選択信号SELの値を変更して値1を与えると、セクタ12ではクロック信号CKaが選択される。これにより、セクタ12からクロック信号CKaと同位相のクロック信号CKXが出力され、CPU3と位相差検出部20のFF21, 22のクロック端子に与えられる。

【0024】

FF21では、クロック信号CKXの立ち上がりでクロック信号CK1が保持される。図に示すように、クロック信号CKXの立ち上がりのタイミングが、クロック信号CK1の“H”の期間であると、FF21の出力信号S21は“H”となる。また、FF22では、クロック信号CKXの立ち下がりでクロック信号CK1が保持される。図に示すように、クロック信号CKXの立ち下がりのタイミングが、クロック信号CK1の“H”の期間であると、FF22の出力信号S22も“H”となる。

【0025】

FF21, 22の出力信号S21, S22が共に“H”になると、NAND23から外部端子24に出力される検出信号DETは“L”となり、所定の条件が満たされていることが示される。この状態で、外部端子13に与える選択信号SELの値を固定する。これにより、CPU3には、所定の条件が満たされた2相のクロック信号CK1, CKXが供給される。

【0026】

以上のように、この第1の実施形態の位相調整回路は、クロック信号CK2から遅延時間の異なる複数のクロック信号を生成する遅延部11と、選択信号SELに基づいてクロック信号CKXを選択出力するセレクタ12と、クロック信号CK1, CKXの位相差を検出して、2つのクロック信号の位相が所定の条件に合っているか否かを判定する位相差検出部20を有している。これにより、遅延部11における遅延時間のばらつきに影響されず、条件にあったクロック信号CKXを選択してCPU3に供給することができるという利点がある。

【0027】

(第2の実施形態)

図3は、本発明の第2の実施形態を示す位相調整回路の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。

【0028】

この位相調整回路は、端子1, 2に与えられる周波数比が1:2の2相のクロック信号CK1 (第2のクロック信号), CK2 (第1のクロック信号)の位相を調整するもので、クロック信号CK1の立ち上がり立ち下がりの時に、クロ

ック信号CK2が“H”となるように調整するようになっている。

【0029】

この位相調整回路は、図1の位相調整回路と同様に、端子2に入力されるクロック信号CK2を遅延させて、遅延時間の異なる複数のクロック信号CKa～CKnを生成する遅延部11と、選択信号SELに従ってクロック信号CK2，CKa～CKnのいずれか1つを選択して、クロック信号CKXを出力するセクタ12を有している。セクタ12の出力側は、CPU3と位相差検出部20Aに接続されている。

【0030】

位相差検出部20Aは、クロック信号CK1の位相とセクタ12から出力されたクロック信号CKXの位相とが、予め定められた条件を満たしているか否かを検出する機能を有している。

【0031】

位相差検出部20Aは、クロック信号CK1の立ち上がりでクロック信号CKXを保持するFF21と、このクロック信号CK1の立ち下がりでクロック信号CKXを保持するFF22を有し、これらのFF21，22の出力側がNAND23に接続されている。NAND23は、FF21の出力とFF22の出力とに基づいて否定的論理積の演算を行い、その演算結果を位相差検出部20Aの検出結果として出力するものである。そして、NAND23の出力側から、検出信号DETが出力されるようになっている。

【0032】

更に、この位相調整回路は、位相差検出部20Aから出力される検出信号DETに基づいて、セクタ12に与える選択信号SELを生成する選択信号生成部30を有している。選択信号生成部30は、位相差検出部20Aの検出結果である検出信号DETに基づいて、選択信号SELを生成するものである。

【0033】

選択信号生成部30は、クロック信号CK1に基づいて選択信号SELを保持して出力するレジスタ31を有し、このレジスタ31の出力側が、加算器(ADD)32の第1の入力側とセクタ33の入力端子Aに接続されている。加算器

32の第2の入力側には固定値1が与えられており、この加算器32の出力側が、セクタ33の入力端子Bに接続されている。

【0034】

セクタ33の制御端子には、位相差検出部20Aから検出信号DETが与えられ、この検出信号DETの“H”，“L”に応じて、それぞれ入力端子A，B側が選択されて出力されるようになっている。そして、セクタ33の出力側から選択信号SELが出力され、セクタ12の制御端子とレジスタ31の入力側に与えられるようになっている。

【0035】

以上のように、選択信号生成部30は、位相差検出部20Aから、予め定められた条件を満たしていない旨の検出結果（検出信号DET）が出力されたときに、選択信号SELの値を一定の範囲で順次増加させて出力するように構成されている。なお、条件を満たしていない旨の検出結果が出力されたときに、選択信号SELの値を一定の範囲で順次減少させるように構成しても良い。

【0036】

図4は、図3の動作を示すタイムチャートである。以下、この図4を参照しつつ、図3の動作を説明する。

【0037】

いま、時刻T0において、選択信号生成部30から出力される選択信号SELの値が3で、これに応じてセクタ12で選択出力されたクロック信号CKXが所定の位相条件を満たしていたとする。このとき、検出信号DETは“L”で、セクタ33ではレジスタ31側が選択されている。また、レジスタ31から出力される値は3、加算器32から出力される値は4となっている。

【0038】

ここで、電源電圧や周囲温度の変化等によって、クロック信号CK1，CKXのタイミングが変化し、時刻T1におけるクロック信号CK1の立ち上がりの時に、クロック信号CKXが“L”になったとする。これにより、FF21から出力される信号S21が“L”に変化し、検出信号DETは“H”となる。このため、セクタ33では加算器32側が選択され、このセクタ33から出力され

る選択信号SELの値は4となる。そして、セクタ12から、選択信号SELの値4に対応するクロック信号CKXが出力される。

【0039】

時刻T2において、クロック信号CK1が立ち下がったときに、クロック信号CKXが“L”であると、FF22から出力される信号S22も“L”に変化する。

【0040】

時刻T3において、クロック信号CK1が立ち上がると、レジスタ31に選択信号SELの値4が取り込まれ、このレジスタ31から出力される値は4、加算器32から出力される値は5となる。この時点では検出信号DETは“H”であるので、加算器32側が選択され、セクタ33から出力される選択信号SELの値は5となる。これにより、セクタ12から出力されるクロック信号CKXは、選択信号SELの値5に対応するものに切り替えられる。

【0041】

時刻T4のクロック信号CK1の立ち下がり時に、クロック信号CKXが“H”になっていると、FF22から出力される信号S22は“H”に戻る。

【0042】

時刻T5のクロック信号CK1の立ち上がりにより、レジスタ31に選択信号SELの値5が取り込まれ、このレジスタ31から出力される値は5になる。この時に、クロック信号CKXが“H”になっていると、FF21から出力される信号S21も“H”に戻る。これにより、検出信号DETは“L”となり、セクタ33によってレジスタ31側が選択され、このセクタ33から出力される選択信号SELの値は5のままである。

【0043】

以上のように、この第2の実施形態の位相調整回路は、位相差検出部20Aから出力される検出信号DETに基づいて、セクタ12に与える選択信号SELを生成する選択信号生成部30を有している。これにより、第1の実施形態の利点に加えて、外部端子の数を削減することができると共に、検出信号DETを監視しながら選択信号SELを順次切り替えて設定するという作業を無くすことが

できる。また、温度や電源電圧等の動作環境の変化によってクロック信号のタイミングが変化した場合にも、自動的に条件の合うクロック信号が選択し直されるという利点がある。

【0044】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

【0045】

(a) 2つのクロック信号CK1, CKXの位相条件は、説明したものに限定されない。従って、位相差検出部20, 20Aの構成は図示したものに限らず、2つのクロック信号の位相条件に応じて、その条件が満たされているか否かを検出できる回路を用いる必要がある。

【0046】

例えば、図1においては、セクタ12から出力されたクロック信号CKXの立ち上がりに対応してクロック信号CK1を保持し出力するFF21と、セクタ12から出力されたクロック信号CKXの立ち下がりに対応してクロック信号CK1を保持し出力するFF22とを設けている。但し、2つのクロック信号の位相条件によっては、クロック信号CK1の立ち上がりに対応してセクタ12から出力されたクロック信号CKXを保持し出力するFFと、クロック信号CK1の立ち下がりに対応してセクタ12から出力されたクロック信号CKXを保持し出力するFFとを設けても良い。

【0047】

また、図3においては、クロック信号CK1の立ち上がりに対応してセクタ12から出力されたクロック信号CKXを保持し出力するFF21と、クロック信号CK1の立ち下がりに対応してセクタ12から出力されたクロック信号CKXを保持し出力するFF22とを設けている。但し、2つのクロック信号の位相条件によっては、セクタ12から出力されたクロック信号CKXの立ち上がりに対応してクロック信号CK1を保持し出力するFFと、セクタ12から出力されたクロック信号CKXの立ち下がりに対応してクロック信号CK1を保持し出力するFFとを設けても良い。

【 0 0 4 8 】

(b) 図 1 では、選択信号 S E L を外部端子 1 3 から与えるようにしているが、選択信号 S E L を記憶するためのレジスタを L S I の内部に設け、C P U 3 とは別のマイコン等を使用して、このレジスタに選択信号 S E L の値を書き込むように構成しても良い。

【 0 0 4 9 】

(c) 図 3 の選択信号生成部 3 0 の構成は、図示したものに限定されない。例えば、検出信号 D E T が “H” の時に、クロック信号 C K 1 の立ち上がりのタイミングで、カウント数を 0 から n まで繰り返して 1 ずつカウントアップする 2 進カウンタを用い、そのカウント値を選択信号 S E L として出力するように構成しても良い。

【 0 0 5 0 】**【発明の効果】**

以上詳細に説明したように、本発明によれば、第 1 のクロック信号から遅延時間の異なる複数のクロック信号を生成する遅延部と、この遅延部から出力された複数のクロック信号のうちの 1 つを選択して出力するセレクタと、このセレクタで選択されたクロック信号と第 2 のクロック信号との位相関係が予め定められた条件を満たしているか否かを検出する位相差検出部を有している。これにより、電圧や温度の変化に影響されず、常に規定された条件を満足するクロック信号を出力することができる

【図面の簡単な説明】**【図 1】**

本発明の第 1 の実施形態を示す位相調整回路の構成図である。

【図 2】

図 1 の動作を示すタイムチャートである。

【図 3】

本発明の第 2 の実施形態を示す位相調整回路の構成図である。

【図 4】

図 3 の動作を示すタイムチャートである。

【符号の説明】

1 1 遅延部

1 2 セレクタ

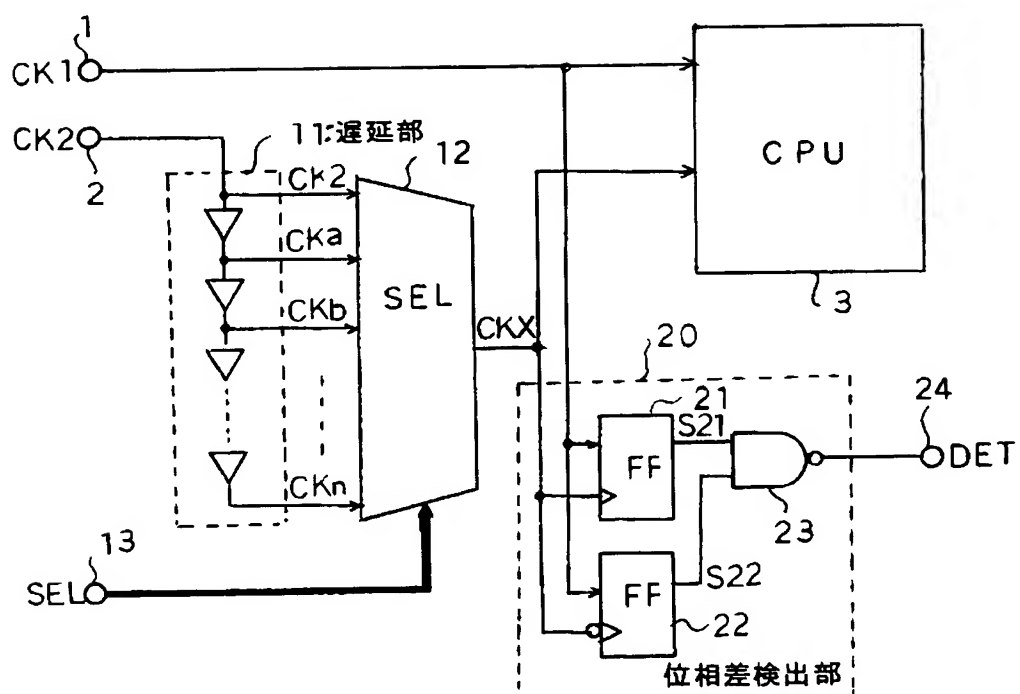
1 3 外部端子

2 0, 2 0 A 位相差検出部

3 0 選択信号生成部

【書類名】 図面

【図 1】



本発明の第 1 の実施形態の位相調整回路

【図 2】

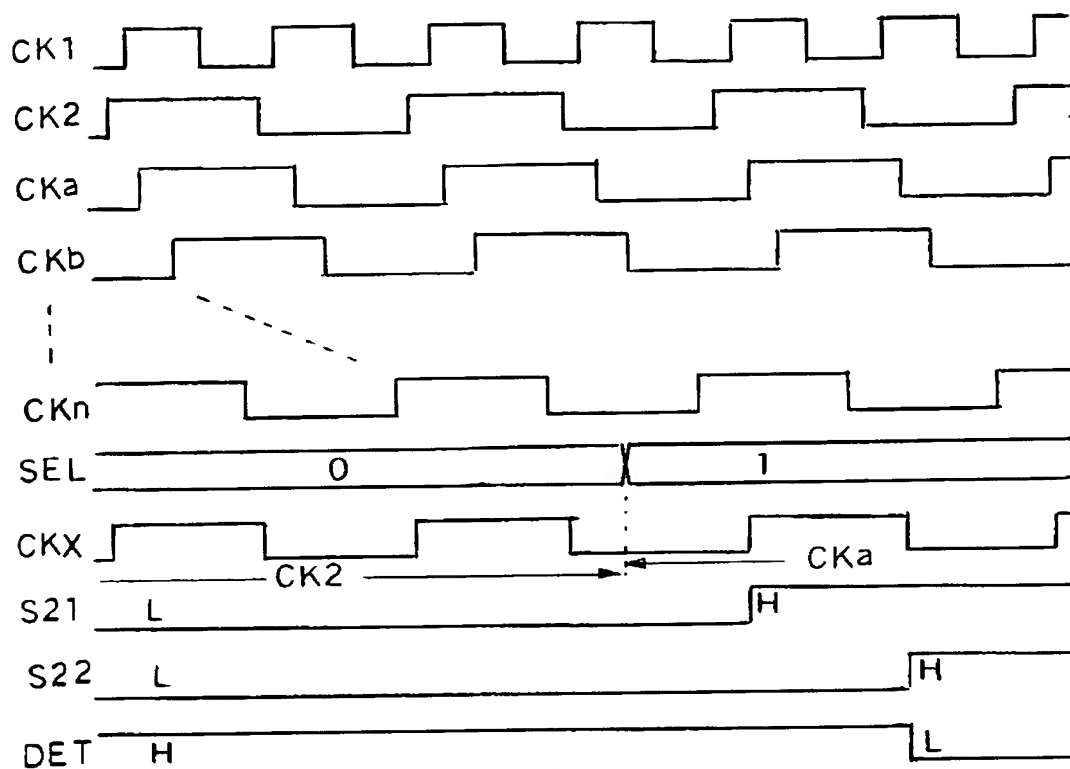
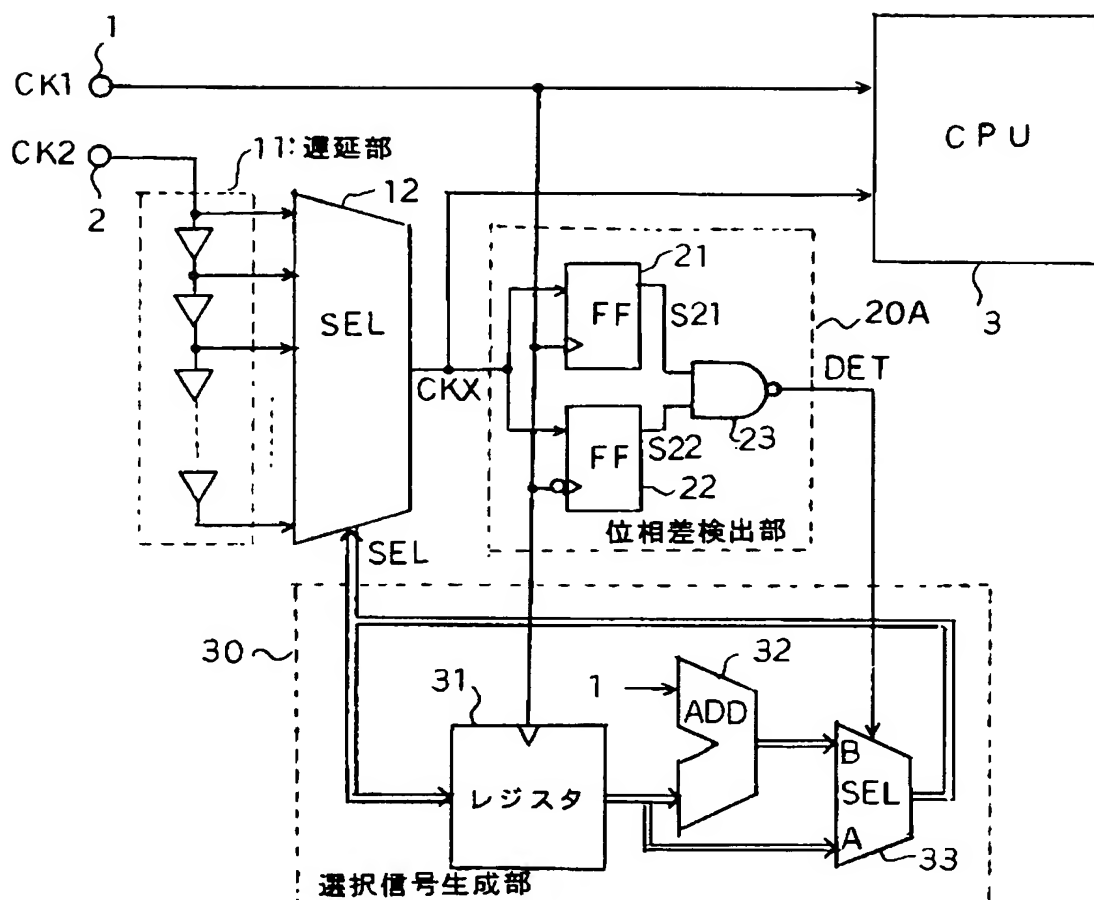


図 1 の動作

【図 3】



本発明の第 2 の実施形態の位相調整回路

【図 4】

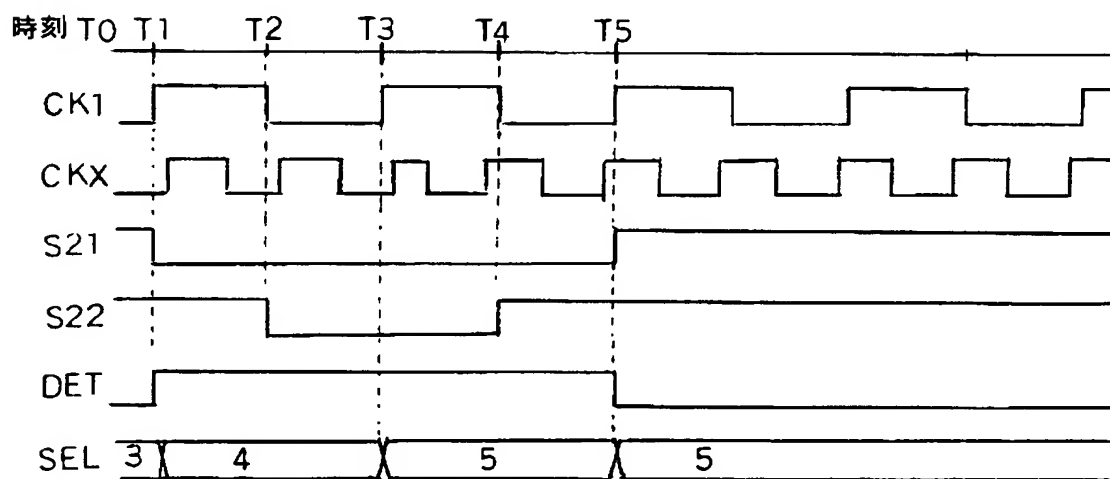


図 3 の動作

【書類名】 要約書

【要約】

【課題】 電圧や温度の変化に影響されず、常に規定された条件を満足するようにクロック信号等の位相を調整する。

【解決手段】 クロック信号 C K 2 は遅延部 1 1 によって遅延され、異なる遅延時間を有する複数のクロック信号 C K a 等が生成され、セレクタ 1 2 に与えられる。セレクタ 1 2 では、選択信号 S E L に従って複数のクロック信号 C K a 等のうちの 1 つが選択され、クロック信号 C K X として出力される。クロック信号 C K X は位相差検出部 2 0 に与えられ、クロック信号 C K 1 との位相関係が予め定められた条件を満たしているか否かが検出され、その結果が検出信号 D E T として出力される。位相条件を満たしたクロック信号 C K 1 , C K X は、C P U 3 に与えられる。

【選択図】 図 1

特願 2 0 0 3 - 1 3 5 4 4 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社